

【キーワード】 製造ばらつき, Post-Silicon Clock Tuning

【研究概要】

半導体の製造技術の進歩により, LSI製造プロセスの微細化が急速に進歩している. その一方で, 製造ばらつきによる歩留まりの低下が大きな問題となっている. 特にクロック信号におけるタイミング故障は, 全ばらつき故障の30%以上を占めており, 早急な対策が急務である. 本研究では, タイミング故障の解消に向け, クロックや一般の信号遅延を確率モデルから推定し, 歩留まり向上を実現する.

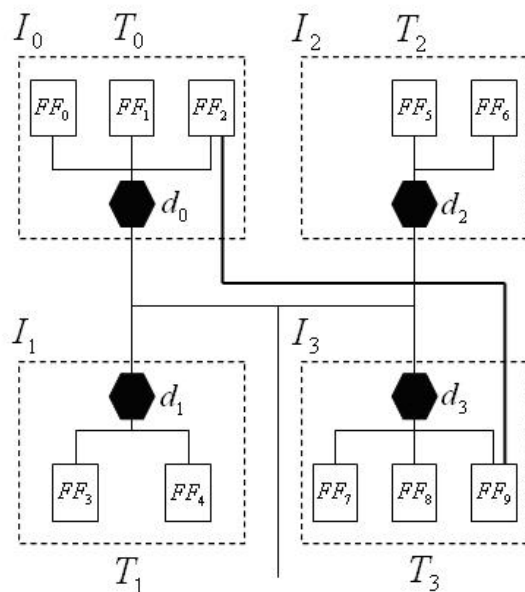


図1: 回路モデル

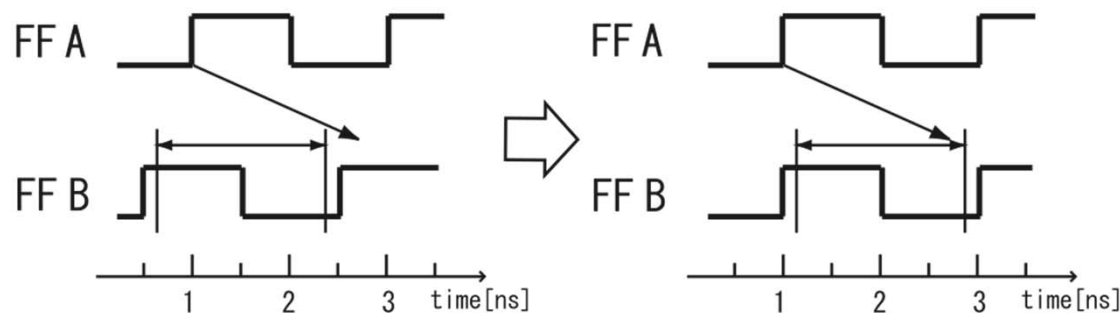


図2: 歩留まり向上のモデル